

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-160724

(43)Date of publication of application : 12. 06. 2001

---

(51)Int. Cl. H03F 3/72

H03H 11/24

H04B 1/04

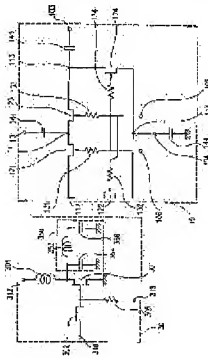
---

(21)Application number : 2000- (71)Applicant : MATSUSHITA ELECTRIC  
309897 IND CO LTD

(22)Date of filing : 26. 12. 1996 (72)Inventor : YAMAMOTO SHINJI  
KUNIHISA TAKETO

---

## (54) AMPLIFIER WITH SWITCH



### (57)Abstract:

PROBLEM TO BE SOLVED: To provide an amplifier with a switch capable of being operated by the smaller number of components and performing a single power supply operation.

SOLUTION: A single power supply operation SPDT switch and a power amplifier are connected without interposing a DC cut capacitor. At the time, by turning the output matching circuit of the final stage of the power amplifier to a circuit form for making a DC current flow, the power amplifier and the SPDT switch are connected in terms of DC and the power supply bias circuit of the power amplifier is shared as the power supply bias circuit of the SPDT switch. Thus, the power supply bias

circuit of the SPDT switch is eliminated and a circuit is miniaturized.

---

#### LEGAL STATUS

[Date of request for examination] 24.10.2000

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of  
application other than the  
examiner's decision of rejection or  
application converted registration]

[Date of final disposal for  
application]

[Patent number] 3560232

[Date of registration] 04.06.2004

[Number of appeal against  
examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

#### \* NOTICES \*

JP0 and NCIP1 are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

#### CLAIMS

---

[Claim(s)]

[Claim 1] Amplifier with a switch characterized by having amplifier, the choke inductor by which the end was connected to the power supply terminal of this amplifier, and the other end was connected to the power source, and the switch on which the power supply terminal was connected to this end of this choke inductor, and combining the power supply terminal of this amplifier, and the power supply terminal of this switch

in direct current.

[Claim 2] Amplifier with a switch according to claim 1 with which the power supply terminal of said amplifier and the power supply terminal of said switch are combined in direct current through the matching circuit.

[Claim 3] Said matching circuit is amplifier with a switch according to claim 2 which has the inductor prepared between the power supply terminal of said amplifier, and the power supply terminal of said switch, the capacitor formed between the power supply terminal of this amplifier, and the ground, and the capacitor formed between the power supply terminal of this switch, and the ground.

[Claim 4] Said switch is amplifier with a switch according to claim 3 which has a transmitting-side slew switch and a receiving-side slew switch.

[Claim 5] Said switch is amplifier with a switch according to claim 4 which has further a transmitting-side shunt switch and a receiving-side shunt switch.

[Claim 6] Said transmitting-side slew switch, said receiving-side slew switch, said transmitting-side shunt switch, and said receiving-side shunt switch are amplifier with a switch according to claim 5 which is a single gate field-effect transistor.

[Claim 7] Said transmitting-side slew switch, said receiving-side slew switch, said transmitting-side shunt switch, and said receiving-side shunt switch are amplifier with a switch according to claim 5 which is a dual gate field-effect transistor or a single gate field-effect transistor.

[Claim 8] Said transmitting-side slew switch and said receiving-side slew switch are amplifier with a switch according to claim 4 which is a PIN diode.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
-

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the power amplification with a switch used for a wireless device, and relates to the amplifier with a switch in which especially single supply operation is possible.

[0002]

[Description of the Prior Art] In order to realize further miniaturization and low-pricing of a field radio machine in recent years, reexamination of the device used for a set is achieved. Researches various now as a way method of approach with the effective single supply operation of a device are made especially. "Single supply operation" means making it operate by supplying only forward electrical potential differences (+3.0V etc.) as opposed to a ground here. Therefore, the actuation using a forward electrical potential difference and a negative electrical potential difference is not called single supply operation to a ground.

[0003] Usually, since the GaAs field-effect transistor (GaAs MESFET) of a depletion type is used for power amplification and an antenna switch among the devices currently used for the set of a field radio machine, negative gate bias voltage is required in addition to forward supply voltage. Single-supply-operation power amplification and a single-supply-operation switch cannot need negative gate bias voltage, but can be operated only on a forward electrical potential difference. Consequently, conventionally, the required negative electrical-potential-difference generating circuit becomes unnecessary, and miniaturization and low-pricing of a set can be realized.

[0004] Drawing 6 is the block diagram of the radio-frequency head of a common field radio machine. In drawing 6, 100 is an antenna switch and 101, 102, and 103 are the antenna terminals, transmitting terminals, and receiving terminals of the antenna switch 100, respectively. Moreover, for a sending-signal input terminal and 206, as for an antenna and 211, power amplification and 210 are [ 204 / low noise amplifier and 212 ] input-signal output terminals. In the field radio machine which shares one antenna by transmission and reception, the antenna switch which changes the signal path at the time of - reception at the time of transmission is indispensable. Since properties, such as low loss and a low power, are required of this antenna switch, the 1 input 2 output switch (it is called an "SPDT switch" the following called a 1 pole 2 \*\*

switch and Single Pole Double Throw Switch) using GaAs MESFET is used abundantly.

[0005] After explaining hereafter circuit actuation of the SPDT switch which is not single supply operation, the technique of constituting a single-supply-operation SPDT switch using this is described.

[0006] Drawing 7 is the circuit diagram of the SPDT switch which is not the single supply operation by the conventional technique which used GaAs MESFET. In drawing 7 101 a transmitting terminal and 103 for an antenna terminal and 102 A receiving terminal, A ground (GND) terminal, and 105 and 106 104 A control terminal, Transmitting-side through [ 121 turns on and off between the antenna terminal 101 and the transmitting terminals 102 / FET ] The transmitting-side shunt FET with which 122 turns on and off between the transmitting terminal 102 and the GND terminals 104 Receiving-side through [ 123 turns on and off between the antenna terminal 101 and the receiving terminals 103 / FET ] The receiving-side shunt FET with which 124 turns on and off between the receiving terminal 103 and the GND terminals 104 The connection terminal of FET121 and FET123 and 112 111 The connection terminal of FET121 and FET122, As for the connection terminal of FET122 and FET124, and 131-134, for 113, the gate bias resistance of FET, and 141-143 are [ the connection terminal of FET123 and FET124 and 114 ] direct-current cut capacitors. Moreover, direct current voltage which impresses the direct-current potential of the connection terminals 111-114 to V111-V114, and the control terminals 105 and 106, respectively is set to V105 and V106, respectively. The gate bias resistance 131-134 is several k-ohm resistance, and it is arranged in order to prevent the leakage current to the gate of FET 121-124. The direct-current cut capacitors 141-143 are about 100pF capacitors for separating the antenna terminal 101, the transmitting terminal 102 and the receiving terminal 103, and each FET in direct current.

[0007] Now, the potential of V111-V114 is considered. Since it connects with GND, V114 is 0V. The gate leakage current of each FET is about 0, and since the path for which a direct current flows with the direct-current cut capacitors 141-143 is severed, a direct current does not flow in the closed circuit of the connection terminals 111-114. Therefore, it is V111=V112=V113=V114=0V, and all the direct-current potentials of the source of FET121-FET124 are 0V.

[0008] Turning on and off of an SPDT switch is performed by changing the applied voltage to the gate of each FET. Drawing 8 is drawing showing the electrical potential difference and current notation between the terminals of FET of a simple substance. The threshold of FET is set to

$V_{th}$  and the electrical potential difference between the drain sources and between the gate sources is set to  $V_{ds}$  and  $V_{gs}$ , respectively. Usually, FET [ as / whose  $V_{th}$  called a depletion type FET is negative ] is used for an SPDT switch. Drawing 9 is drawing showing the  $V_{gs}$ - $I_{ds}$  property of a depletion type FET. In order to make this FET turn on or turn off, being referred to as  $V_{gg} \geq 2 \times V_{th}$  is [ that what is necessary is just to impress the electrical potential difference of  $V_{gs}=0V$  or  $V_{gs}=V_{gg}$  (value negative in  $V_{gg}$ ) to the gate ] common. Drawing 10 R> 0 is drawing showing  $V_{gs}=0V$  and the  $V_{ds}$ - $I_{ds}$  property in  $V_{gs}=V_{gg}$ . Drawing 11 is the equal circuit of FET in  $V_{gs}=0V$ . In the case of  $V_{gs}=0V$ , FET is equivalent to several ohms resistance, and can be expressed as a switch of an ON state. Drawing 12 is the equal circuit of FET in  $V_{gs}=V_{gg}$ . In  $V_{gs}=V_{gg}$ , FET is equivalent to several M ohms resistance, and can be expressed as a switch of an OFF state.

[0009] Actuation of the SPDT switch shown in drawing 7 using these is considered. First, the time of transmission is considered. (a) of drawing 13 and (b) are the equal circuit of drawing 7 when impressing  $V_{105}=0V$  and  $V_{106}=V_{gg}$  to a control terminal, and the equal circuit which simplified the circuit further, respectively. Since an ON state, receiving-side through [ FET / 123 ], and the transmitting-side shunt FET 122 will be [ transmitting-side through / FET / 121 / and the receiving-side shunt FET 124 ] in an OFF state as shown in (a) of drawing 13 , as shown in (b) of drawing 13 R> 3, the antenna terminal 101 and the transmitting terminal 102 are connected after all.

[0010] Next, the time of reception is considered. (a) of drawing 14 and (b) are the equal circuit of drawing 7 when impressing  $V_{105}=V_{gg}$  and  $V_{106}=0V$  to a control terminal, and the equal circuit which simplified the circuit further, respectively. Since an OFF state, receiving-side through [ FET / 123 ], and the transmitting-side shunt FET 122 will be [ transmitting-side through / FET / 121 / and the receiving-side shunt FET 124 ] in an ON state as shown in (a) of drawing 14 , as shown in drawing 14 R> 4 (b), the antenna terminal 101 and the receiving terminal 103 are connected after all. The transmitting-side shunt FET 122 and the receiving-side shunt FET 124 have played the role which connects the terminal by the side of OFF to GND, respectively, and raises isolation here.

[0011] Next, the technique of constituting a single-supply-operation SPDT switch using this SPDT switch is considered. Drawing 15 is the circuit diagram of the single-supply-operation SPDT switch by the Prior art. In the circuit of drawing 7 , the GND terminal 104 was directly connected to GND. In the circuit of drawing 15 , the GND terminal 104 is

connected to GND through the direct-current cut capacitor 144. Moreover, single supply operation is realizable by impressing forward supply voltage to the connection terminal 111 through the choke inductor 151 which is a power-source bias circuit. In drawing 15, as for a power supply terminal and 144, 107 is [ a direct-current cut capacitor and 151 ] choke inductors, and other components are the same as that of the SPDT switch shown in drawing 7. An electrical potential difference V107 expresses the electrical potential difference impressed to a power supply terminal 107. The choke inductor 151 is an inductor with an impedance which becomes almost open to an operating frequency, and supplies supply voltage V107 to the connection terminal 111. The direct-current cut capacitor 144 is an about 100pF capacitor, and it is arranged in order to separate the GND terminal 104 and GND in direct current.

[0012] In drawing 15, since the GND terminal 104 is also separated from GND in direct current, it is set to  $V111=V112=V113=V114=V107$ . Here, by impressing  $|V_{gg}|$  (forward value) to V107, the source potential of all FET of drawing 15 is set as  $|V_{gg}|$  (forward value), and can realize single supply operation. That is, as  $V107=3V$ , then V105 and V106, when the SPDT switch shown in drawing 7 is a switch which needs the negative electrical potential difference of 0V or -3V, respectively as V105 and V106, the circuitry shown in drawing 15 can realize the SPDT switch with which 3V or 0V are supplied. That is, it is not necessary to establish a negative power source that what is necessary is to supply only a forward power source.

[0013]

[Problem(s) to be Solved by the Invention] In order to realize single supply operation as mentioned above, the choke inductor 151 which is the direct-current cut capacitor 144 and power-source bias circuit which separate the GND terminal 104 from GND in direct current is needed. In case this designs IC which especially unified power amplification and an SPDT switch, it becomes the cause of increasing a chip area and, thereby, causes the rise of cost.

[0014] The place which it is made in order that this invention may solve the above-mentioned technical problem, and is made into the purpose is to offer the amplifier with a switch in which the single supply operation using the components of smaller mark is possible.

[0015]

[Means for Solving the Problem] The amplifier with a switch by this invention has the choke inductor by which the end was connected with amplifier at the power supply terminal of this amplifier, and the other

end was connected to the power source, and the switch on which the power supply terminal was connected to this end of this choke inductor, and is characterized by combining the power supply terminal of this amplifier, and the power supply terminal of this switch in direct current, and the above-mentioned purpose is attained by that.

[0016] With a certain operation gestalt, the power supply terminal of said amplifier and the power supply terminal of said switch are combined in direct current through the matching circuit.

[0017] With a certain operation gestalt, said matching circuit has the inductor prepared between the power supply terminal of said amplifier, and the power supply terminal of said switch, the capacitor formed between the power supply terminal of this amplifier, and the ground, and the capacitor formed between the power supply terminal of this switch, and the ground.

[0018] With a certain operation gestalt, said switch has a transmitting-side slew switch and a receiving-side slew switch.

[0019] With a certain operation gestalt, said switch has further a transmitting-side shunt switch and a receiving-side shunt switch.

[0020] With a certain operation gestalt, said transmitting-side slew switch, said receiving-side slew switch, said transmitting-side shunt switch, and said receiving-side shunt switch are single gate field-effect transistors.

[0021] With a certain operation gestalt, said transmitting-side slew switch, said receiving-side slew switch, said transmitting-side shunt switch, and said receiving-side shunt switch are a dual gate field-effect transistor or a single gate field-effect transistor.

[0022] With a certain operation gestalt, said transmitting-side slew switch and said receiving-side slew switch are PIN diodes.

[0023]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained with reference to a drawing. The component to which the same reference mark was given corresponds mutually.

[0024] In this specification, the power amplification which amplifies high-frequency power, and the antenna switch into which the connection relation of this power amplification and antenna is changed according to the condition of transmission and reception are included with "amplifier with a switch." Moreover, in this specification, since it is easy, a "switch" and power amplification may only be called "amplifier" for an antenna switch.

[0025] Before explaining the operation gestalt of the amplifier with a switch by this invention first, the circuit of the power amplification



used with this operation gestalt is explained. Drawing 16 is the circuit diagram of a power amplification part among the amplifier with a switch of this invention. In this operation gestalt, although it is considered as the power amplification of an one-step field-effect transistor (FET) configuration since it was easy, it is not restricted to this. For example, you may be the power amplification which has two or more steps, and components other than FET may be used as an amplifier.

[0026] 301 -- FET, and 302 and 350 -- respectively -- for gate bias resistance and 310, as for an output terminal and 312, an input terminal and 311 are [ an input matching circuit and an output matching circuit, and 304 / a choke inductor and 305 / a power supply terminal and 313 ] gate bias terminals. Moreover, the electrical potential difference which impresses the electrical potential difference impressed to a power supply terminal 312 to  $V_{312}$  and the gate bias terminal 313 is set to  $V_{313}$ . When a predetermined impedance is connected to an input terminal 310 and an output terminal 311, respectively, the input matching circuit 302 and the output matching circuit 350 are designed so that a desired property may be realized. The choke inductor 304 has the impedance which becomes almost open to an operating frequency. Supply voltage  $V_{312}$  is supplied to FET301 through the choke inductor 304. The gate bias resistance 305 is arranged in order to reduce the leakage current from FET301 to the gate bias terminal 313.

[0027] In addition, when connecting at the time of reception, i.e., the antenna terminal 101 and the receiving terminal 103 of drawing 6, in order to make it the output of power amplification not revealed to LNA, it is common to make power amplification off. If it is FET [ as / whose FET301 is  $V_{th} \geq 0V$  ], i.e., enhancement type FET, it is realizable by being referred to as electrical-potential-difference  $V_{313} = 0V$  of a gate bias terminal to cut off the current which flows to FET301.

[0028] Drawing 17 is the circuit diagram which used Depression FET as FET301 in the circuit of drawing 16. If it is FET [ as / whose FET is  $V_{th} \leq 0V$  ], i.e., a depletion type FET, since a current will flow to FET301 also considering the gate bias voltage  $V_{313}$  as  $0V$ , power amplification does not become off. In this case, if it is made circuitry as shows power amplification to drawing 17, the drain current which flows to FET301 with a switch 306 can be intercepted. namely, in drawing 17, a switch 306 is closed at the time of transmission (turning on), and is opened at the time of reception (it turns off) -- it operates like.

[0029] Drawing 18 is the circuit diagram showing other examples which used Depression FET as FET301 in the circuit of drawing 16. In the

circuit of drawing 18 , although it differs from the case where the location where a switch 306 is inserted is drawing 17 , the drain current of FET301 can be intercepted by the same actuation as drawing 17 at the time of reception.

[0030] (1st operation gestalt) Drawing 1 is the circuit diagram of the 1st operation gestalt of the amplifier with a switch by this invention. Drawing 19 is the circuit diagram of the amplifier with a switch by the conventional technique. In the amplifier with a switch by the conventional technique of drawing 19 , the output terminal 311 of the power amplification of drawing 16 and the transmitting terminal 102 of the single-supply-operation SPDT switch of drawing 1515 are connected. Therefore, in the amplifier with a switch by the conventional technique, the pass from a power supply terminal 312 to a terminal 112 contains a capacitor 142.

[0031] The amplifier with a switch by this invention of \*\*\*\*\* drawing 1 is equipped with the output matching circuit 350 which passes a dc component. This output matching circuit 350 carries out \*\*\*\*\* which sends the supply voltage V312 supplied in the power supply terminal 312 of the amplifier section 30 to the terminal 112 of reception and the switch section 10 through the choke inductor 304. The output matching circuit 350 is realizable with pi mold matching circuit which has an inductor 352 and capacitors 354 and 356. The output matching circuit 350 does not have a capacitor component between the choke inductor 304 and a terminal 112, but has an inductor component. Thereby, from a power supply terminal 312, direct current voltage can let the choke inductor 304, an inductor 352, and a terminal 112 pass, and can carry out bias of the switch section 10. In other words, pass called the power supply terminal 312-choke inductor 304-output matching circuit 350-terminal 112 can let direct current voltage pass. A "direct-current" electrical potential difference is an electrical potential difference which has a sufficiently low frequency in extent which can be used as a power source of the switch section 10 and the amplifier section 30 here, and a frequency also contains the electrical potential difference (the so-called perfect direct current) of zero.

[0032] The inductor 352 of the output matching circuit 350 is formed in the serial to the pass along which the direct current voltage for these bias passes. Therefore, the small thing of a resisted part contained in an inductor 352 is desirable. This is because the voltage drop by resisted part of an inductor 352 makes low the effectiveness of bias supply and the effectiveness of the output of the amplifier section 30 to the switch section 10. As long as the output matching circuit 350 is

a circuit which lets a dc component pass between the amplifier section 30 and the switch section 10, it may not be restricted to one step of above-mentioned pi mold matching circuit, may be a multistage matching circuit, and may be a matching circuit of other types. The output matching circuit 350 also carries out \*\*\*\*\* which increases the power emitted from an antenna by adjusting the output impedance of the amplifier section 30, and the impedance connected to the antenna terminal 101.

[0033] In drawing 1 , although the common power supply terminal 312 is formed in the switch section 10 and the amplifier section 30 to the output matching circuit 350 at the FET301 side, it is not restricted to this. For example, by preparing a power supply terminal in a terminal 112, direct current voltage may be supplied with above-mentioned explanation in hard flow, i.e., the direction which goes to the amplifier section 30 through the output matching circuit 350 from the switch section 10. According to this configuration, an inductor 352 can substitute the choke inductor 304 and components mark can be reduced further. Moreover, a power supply terminal may be prepared in other terminals 111 and 113, for example, terminals etc., in this case.

[0034] In order to share the power-source bias circuit of power amplification 30, and the power-source bias circuit of the SPDT switch 10, the output matching circuit 350 of the last stage of power amplification 30 is a circuit where a direct current flows. Moreover, it is set up almost equally by the supply voltage of power amplification 30, and the supply voltage of the single-supply-operation SPDT switch 10.

[0035] In the following operation gestalten, the electrical potential difference impressed to the control terminal 105-106 was set to 0V or 3V at FET of an SPDT switch using the depletion type FET of  $V_{th}=-1.5V$ , and supply voltage of a single-supply-operation SPDT switch and power amplification was set to 3V so that above-mentioned conditions might be satisfied. At the time of reception, power amplification should be made off as  $V_{313}=0V$  at FET301 using enhancement type FET, and the frequency performed simulation as 1.9GHz.

[0036] The simulation result of the RF property of the amplifier with a switch of this invention and the amplifier with a switch by the conventional technique is shown in Table 1. The isolation from the output of the power amplification in the antenna terminal 101, the insertion loss from the antenna terminal 101 to the receiving terminal 103, and the transmitting terminal 102 to the receiving terminal 103 at the time of transmission was shown in the table.

[0037]

[Table 1]

	アンテナ端子での パワーアンプ出力(dBm)	アンテナ端子→受信端子 挿入損失 (dB)	送信端子→受信端子 アイソレーション (dB)
従来	8.51	0.99	25.1
本発明	8.54	0.98	25.0

[0038] As for the RF property of this invention, it turns out that the result equivalent to the former is obtained also in which property, and the single-supply-operation SPDT switch and power amplification of this invention are operating normally. In addition, when a depletion type FET was used for FET301, it already described power amplification to be [ of drawing 17 or drawing 18 ] a configuration, then that it is satisfactory.

[0039] Since there is no this invention of the choke inductor 151 and 142 direct-current cut capacitor as compared with the former, components mark are reducible, but in case this designs IC which unified a single-supply-operation SPDT switch and power amplification, it is divided in chip area reduction and is effective. a case with a frequency of about 2GHz -- as the choke inductor 151 -- a minimum of -- as about 20 nH(s) and a capacitor 142 -- a minimum of -- the value of about 30pF is required. When these components are accumulated on IC, the almost same area as one FET used for an SPDT switch is required for the area of each component. That is, this invention can reduce chip areas, without degrading a high frequency property.

[0040] (2nd operation gestalt) Drawing 2 is the circuit diagram of the 2nd operation gestalt of the amplifier with a switch by this invention. In this operation gestalt, in order to raise 1dB gain-compression point by the side of a transmitting terminal (P1dB), dual gate FET is used as receiving-side through [ FET ] and a transmitting-side shunt FET. In drawing 2 , 123D is receiving-side dual gate through [ FET ], 1321 and 1322 are gate bias resistance connected to the transmitting-side dual gate shunt FET, 122D is the transmitting-side dual gate shunt FET, and the other component is [ 1331 and 1332 are gate bias resistance connected to receiving-side dual gate through / FET /, and ] the same as that of drawing 1 .

[0041] The simulation result of the RF property of the amplifier with a switch of this invention and the amplifier with a switch by the conventional technique is shown in Table 2. The point of having the capacitor connected to the serial in the output matching circuit 350 differs from the point that a power source is supplied from a separate terminal at the amplifier section and the switch section here, among the circuits which show the circuit of the amplifier with a switch by the

conventional technique to drawing 2 . The isolation from the output of the power amplification in the antenna terminal 101, the insertion loss from the antenna terminal 101 to the receiving terminal 103, and the transmitting terminal 102 to the receiving terminal 103 at the time of transmission was shown in the table.

[0042]

[Table 2]

	アンテナ端子での パワーアンプ出力(dBm)	アンテナ端子→受信端子 挿入損失 (dB)	送信端子→受信端子 アイソレーション (dB)
従来	8.94	1.34	30.6
本発明	8.97	1.36	30.6

[0043] The result equivalent to the former is obtained also in which property, and the RF property of this invention is the single supply operation of this invention. SPDT It turns out that a switch and power amplification are operating normally. Moreover, single supply operation SPDT The reduction effectiveness of the chip area in IC which unified a switch and power amplification is as the 1st operation gestalt having described.

[0044] (3rd operation gestalt) Drawing 3 is the circuit diagram of the 3rd operation gestalt of the amplifier with a switch by this invention. This operation gestalt is used when the isolation from the transmitting terminal 102 to the receiving terminal 103 may be low. The transmitting-side shunt FET 122 of the 1st operation gestalt and the receiving-side shunt FET 124 are not used for this operation gestalt.

[0045] The simulation result of the RF property of the amplifier with a switch of this invention and the amplifier with a switch by the conventional technique is shown in Table 3. The point of having the capacitor connected to the serial in the output matching circuit 350 differs from the point that a power source is supplied from a separate terminal at the amplifier section and the switch section here, among the circuits which show the circuit of the amplifier with a switch by the conventional technique to drawing 3 . The isolation from the output of the power amplification in the antenna terminal 101, the insertion loss from the antenna terminal 101 to the receiving terminal 103, and the transmitting terminal 102 to the receiving terminal 103 at the time of transmission was shown.

[0046]

[Table 3]

	アンテナ端子での パワーアンプ出力(dBm)	アンテナ端子→受信端子 挿入損失 (dB)	送信端子→受信端子 アイソレーション (dB)
従来	8.56	1.09	0.95
本発明	8.58	1.07	0.90

[0047] The result equivalent to the former is obtained also in which property, and the RF property of this invention is the single supply operation of this invention. SPDT It turns out that a switch and power amplification are operating normally. However, as compared with the 1st operation gestalt, the isolation from the transmitting terminal 102 to the receiving terminal 103 is falling [ this invention and the conventional example ] by about 25dB. Moreover, single supply operation SPDT The reduction effectiveness of the chip area in IC which unified a switch and power amplification is as the 1st operation gestalt having described.

[0048] (4th operation gestalt) Drawing 4 is the circuit diagram of the 4th operation gestalt of the amplifier with a switch by this invention. this operation gestalt improves PldB by the side of a transmitting terminal -- making -- in addition -- and it is used when the isolation from the transmitting terminal 102 to the receiving terminal 103 may be low. Transmitting-side shunt FET122D of drawing 2 and the receiving-side shunt FET 124 are not used for this operation gestalt.

[0049] The simulation result of the RF property of the amplifier with a switch of this invention and the amplifier with a switch by the conventional technique is shown in Table 4. The point of having the capacitor connected to the serial in the output matching circuit 350 differs from the point that a power source is supplied from a separate terminal at the amplifier section and the switch section here, among the circuits which show the circuit of the amplifier with a switch by the conventional technique to drawing 4 . The isolation from the output of the power amplification in the antenna terminal 101, the insertion loss from the antenna terminal 101 to the receiving terminal 103, and the transmitting terminal 102 to the receiving terminal 103 at the time of transmission was shown in the table.

[0050]

[Table 4]

	アンテナ端子での パワーアンプ出力(dBm)	アンテナ端子→受信端子 挿入損失 (dB)	送信端子→受信端子 アイソレーション (dB)
従来	8.19	1.42	3.82
本発明	8.51	1.42	6.08

[0051] The result equivalent to the former is obtained also in which property, and the RF property of this invention is the single supply operation of this invention. SPDT It turns out that a switch and power amplification are operating normally. However, as compared with the 2nd operation gestalt, the isolation from the transmitting terminal 102 to the receiving terminal 103 is falling [ this invention and the conventional example ] by about 25dB. Moreover, single supply operation SPDT The reduction effectiveness of the chip area in IC which unified a switch and power amplification is as the 1st operation gestalt having described.

[0052] (5th operation gestalt) Drawing 5 is the circuit diagram of the 5th operation gestalt of the amplifier with a switch by this invention. A PIN diode is used for this operation gestalt instead of FET as a transmitting-side slew switch and a receiving-side slew switch. As for a direct-current cut capacitor, and 135 and 136, for 161 and 162, in drawing 5 , a PIN diode, and 145 and 146 are [ bias resistance and 152 ] choke inductors. As for 145 and 146, in drawing 5 , an about 100pF capacitor, and 135 and 136 are resistance of an about [ 1kohm ]. The change of the switch in this case is performed by setting the electrical potential differences V105 and V106 of the control terminals 105 and 106 to 3V or 2V. In the case of V105=2V and V106=3V, a transmitting side will be in an ON state and, in the case of V105=3V and V106=2V, a receiving side will be in an ON state.

[0053] When a PIN diode is used, it is single supply operation. SPDT Although the choke inductor 152 of a switch is required, it is not necessary to use the direct-current cut capacitor 142 and the choke inductor 151 like other operation gestalten. Therefore, single supply operation The reduction effectiveness of the chip area at the time of designing IC which unified an SPDT switch and power amplification is almost the same as the 1st operation gestalt.

[0054] above-mentioned the 1- in the 5th operation gestalt, for convenience, although the output matching circuit 350 was the circuit diagram included in the amplifier section 30, it is not restricted to this. That is, the amplifier with a switch constituted so that the input matching circuit equivalent to the output matching circuit 350 might be included in the switch section 10 is also contained in this invention.

[0055]

[Effect of the Invention] According to the amplifier with a switch by this invention, the required direct-current cut capacitor and choke inductors can be reduced conventionally, and the power amplification

with a single-supply-operation SPDT switch which has a property equivalent to the former by smaller components mark can be offered.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram of the 1st operation gestalt of the amplifier with a switch by this invention.

[Drawing 2] It is the circuit diagram of the 2nd operation gestalt of the amplifier with a switch by this invention.

[Drawing 3] It is the circuit diagram of the 3rd operation gestalt of the amplifier with a switch by this invention.

[Drawing 4] It is the circuit diagram of the 4th operation gestalt of the amplifier with a switch by this invention.

[Drawing 5] It is the circuit diagram of the 5th operation gestalt of the amplifier with a switch by this invention.

[Drawing 6] It is the block diagram of the radio-frequency head of a common field radio machine.

[Drawing 7] It is the circuit diagram of the SPDT switch which is not the single supply operation by the conventional technique using GaAs MESFET.

[Drawing 8] It is drawing showing the electrical potential difference and current notation between the terminals of FET of a simple substance.

[Drawing 9] It is drawing showing the  $V_{gs}$ - $I_{ds}$  property of a depletion type FET.

[Drawing 10] It is drawing showing  $V_{gs}=0V$  and the  $V_{ds}$ - $I_{ds}$  property in  $V_{gs}=V_{gg}$ .

[Drawing 11] It is the equal circuit of FET in  $V_{gs}=0V$ .

[Drawing 12] It is the equal circuit of FET in  $V_{gs}=V_{gg}$ .



[Drawing 13] (a) And (b) is the equal circuit of drawing 7 when impressing  $V_{105}=0V$  and  $V_{106}=V_{gg}$  to a control terminal, and the equal circuit which simplified the circuit further, respectively.

[Drawing 14] (a) And (b) is the equal circuit of drawing 7 when impressing  $V_{105}=V_{gg}$  and  $V_{106}=0V$  to a control terminal, and the equal circuit which simplified the circuit further, respectively.

[Drawing 15] It is the circuit diagram of the single-supply-operation SPDT switch by the Prior art.

[Drawing 16] It is the circuit diagram of a power amplification part among the amplifier with a switch of this invention.

[Drawing 17] It is the circuit diagram using Depression FET as FET301 in the circuit of drawing 16 .

[Drawing 18] It is the circuit diagram showing other examples using Depression FET as FET301 in the circuit of drawing 16 .

[Drawing 19] It is the circuit diagram of the amplifier with a switch by the conventional technique.

[Description of Notations]

101 Antenna Terminal

103 Receiving Terminal

104 GND Terminal

105 106 Control terminal

121 Transmitting-Side through [ FET ]

122 Transmitting-Side Shunt FET

123 Receiving-Side through [ FET ]

124 Receiving-Side Shunt FET

111 Connection Terminal of FET121 and FET123

112 Connection Terminal of FET121 and FET122

113 Connection Terminal of FET123 and FET124

114 Connection Terminal of FET122 and FET124

131-134 Gate bias resistance of FET

141 143 Direct-current cut capacitor

301 FET

302 Input Matching Circuit

304 Choke Inductor

305 Gate Bias Resistance

310 Input Terminal

312 Power Supply Terminal

350 Output Matching Circuit

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

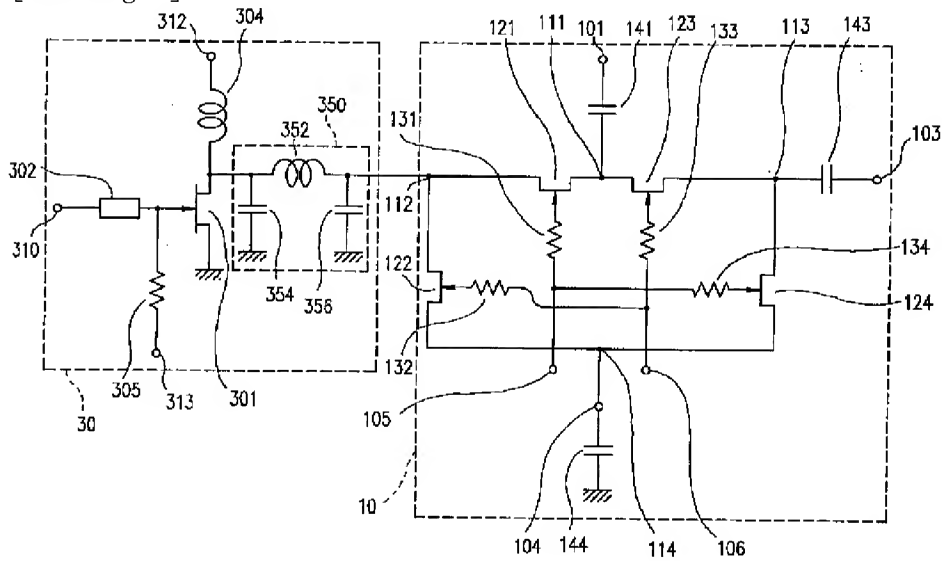
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DRAWINGS

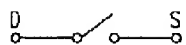
---

[Drawing 1]

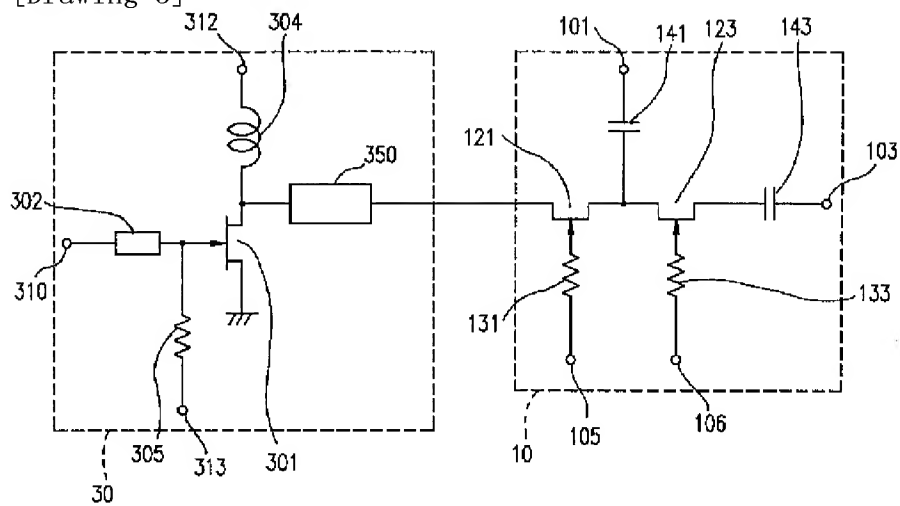


[Drawing 2]

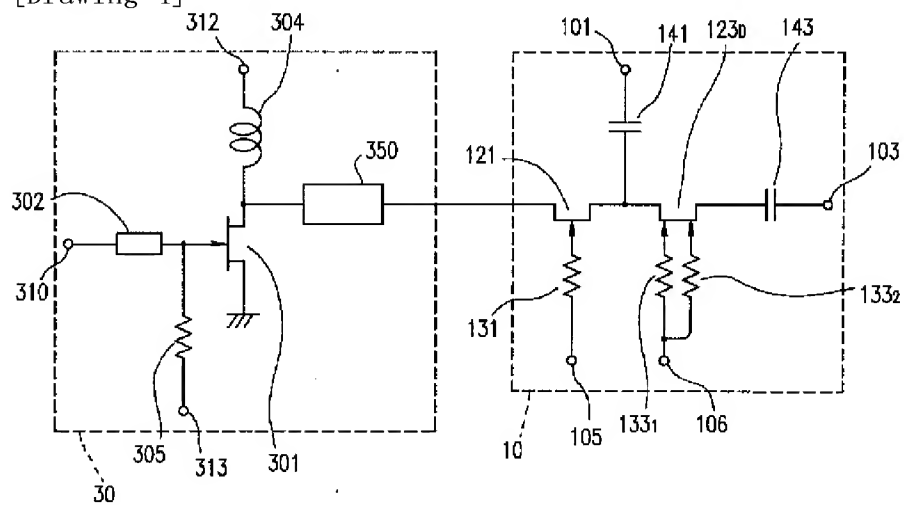




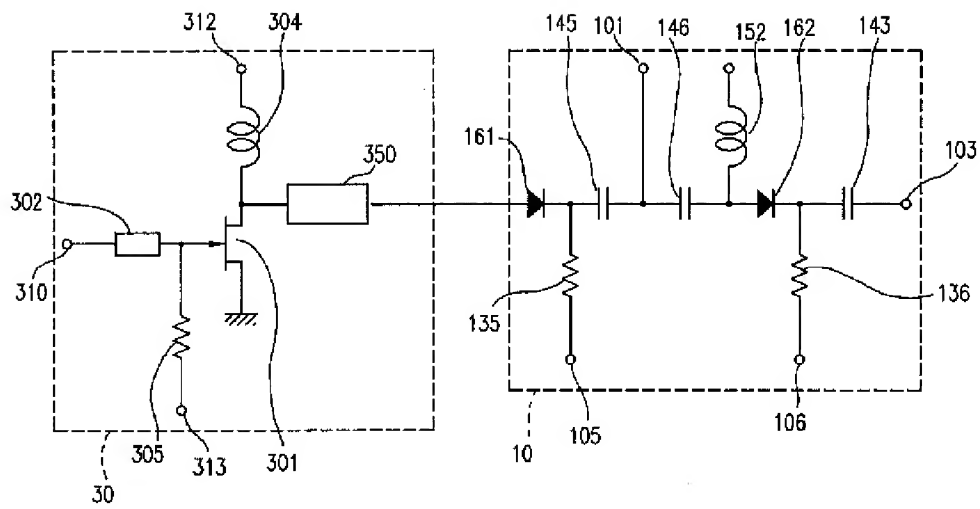
[Drawing 3]



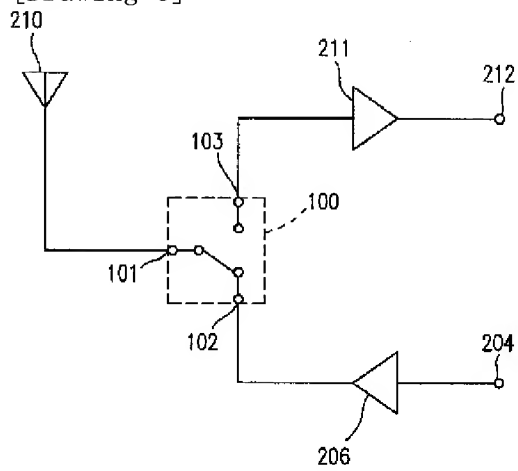
[Drawing 4]



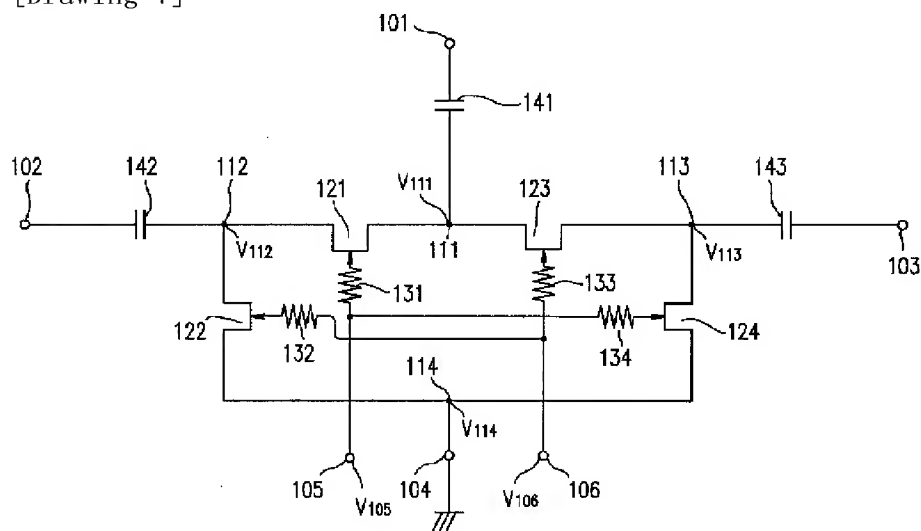
[Drawing 5]



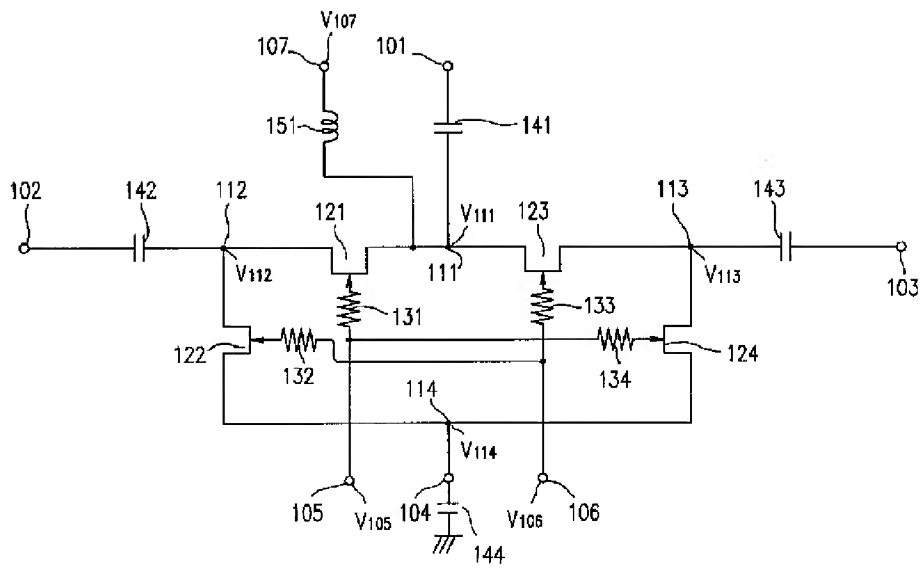
[Drawing 6]



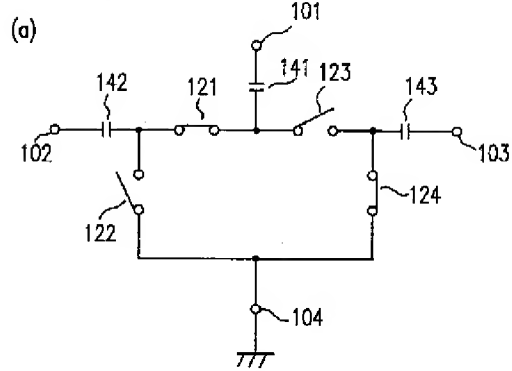
[Drawing 7]



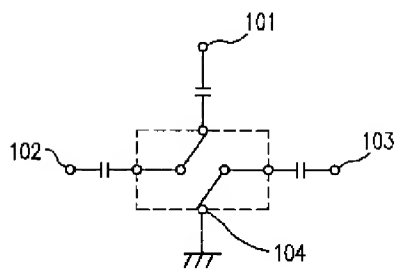
[Drawing 15]



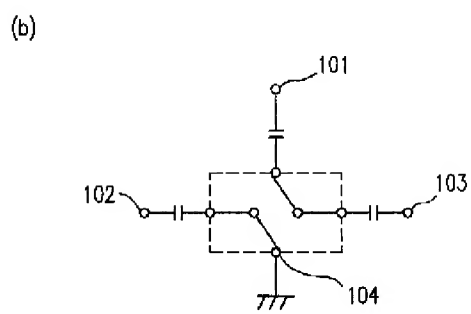
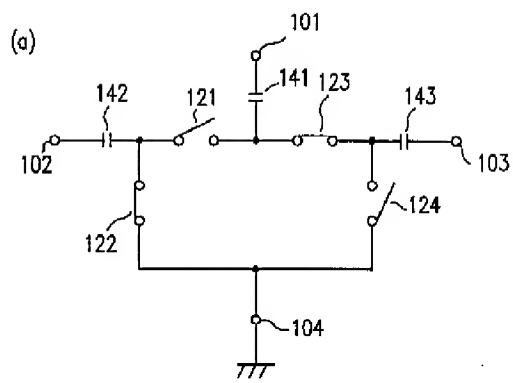
[Drawing 13]



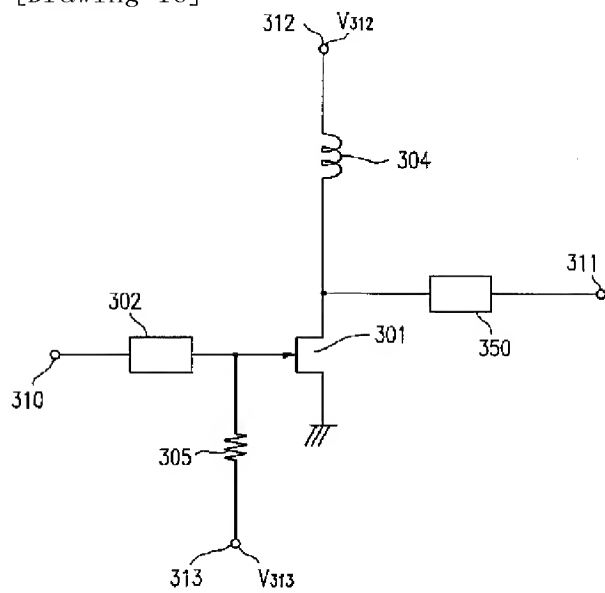
(b)



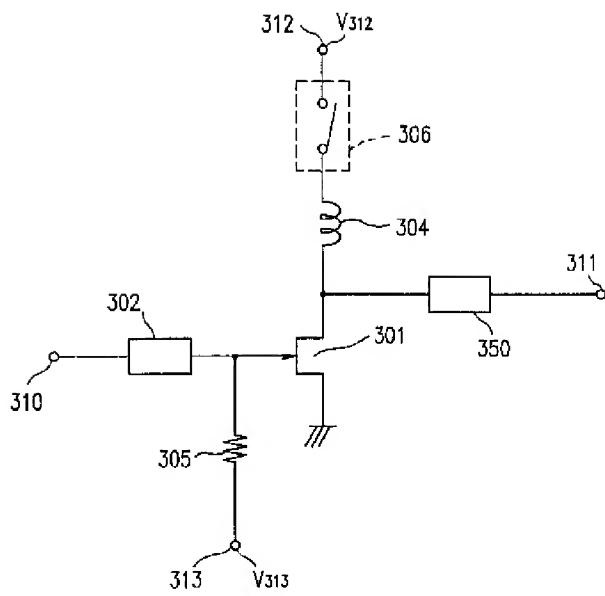
[Drawing 14]



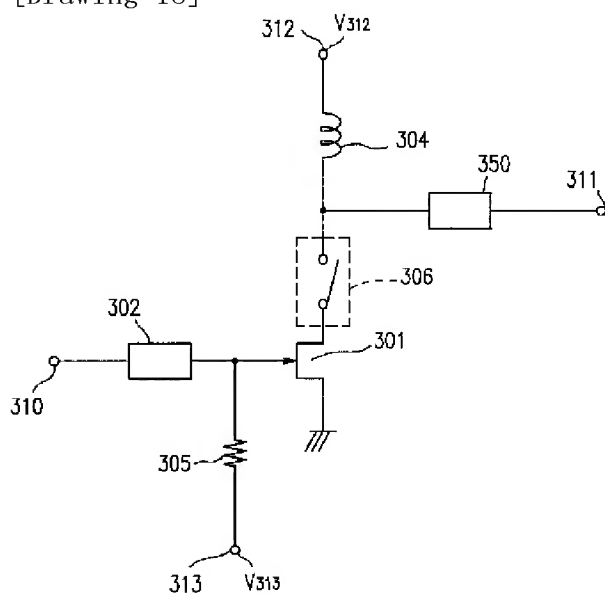
[Drawing 16]



[Drawing 17]

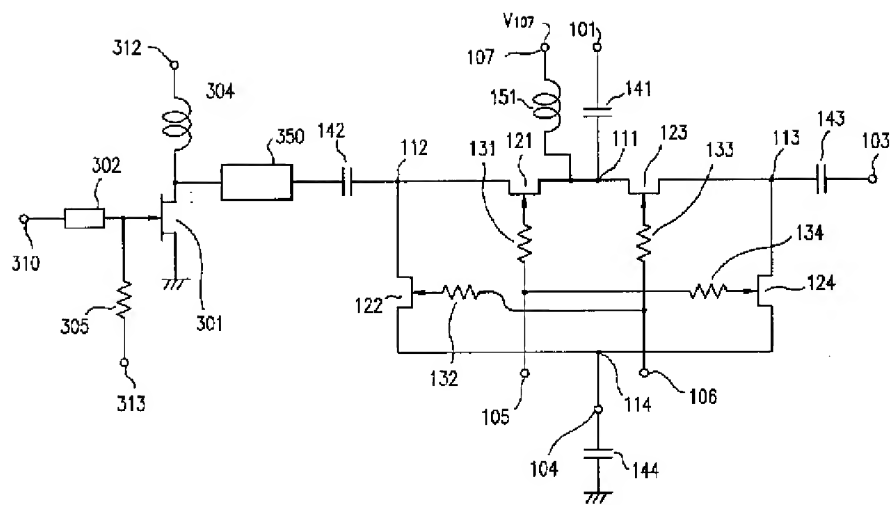


[Drawing 18]



[Drawing 19]






---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-160724  
(P2001-160724A)

(43)公開日 平成13年6月12日(2001.6.12)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 3 F 3/72

H 0 3 F 3/72

H 0 3 H 11/24

H 0 3 H 11/24

B

H 0 4 B 1/04

H 0 4 B 1/04

P

審査請求 有 請求項の数8 O L (全 12 頁)

(21)出願番号 特願2000-309897(P2000-309897)  
(62)分割の表示 特願平8-349090の分割  
(22)出願日 平成8年12月26日(1996.12.26)

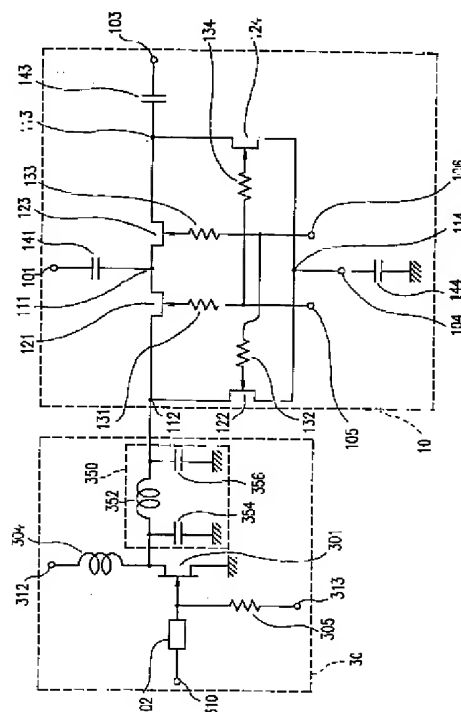
(71)出願人 000003821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72)発明者 山本 真司  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72)発明者 國久 武人  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74)代理人 100078282  
弁理士 山本 秀策

(54)【発明の名称】 スイッチ付きアンプ

(57)【要約】

【課題】 より少ない部品点数で動作する単一電源動作が可能なスイッチ付きアンプを提供する。

【解決手段】 単一電源動作SPDTスイッチとパワーアンプを直流カットキャパシタを介さずに接続する。この際、パワーアンプの最終段の出力整合回路を直流電流の流れる回路形式とすることにより、パワーアンプとSPDTスイッチを直流的に接続して、パワーアンプの電源バイアス回路をSPDTスイッチの電源バイアス回路として共用する。これにより、SPDTスイッチの電源バイアス回路を削除することができ、回路の小型化が実現できる。



【特許請求の範囲】

【請求項1】 アンプと、一端が該アンプの電源端子に接続され他端が電源に接続されたチョークインダクタと、電源端子が該チョークインダクタの該一端に接続されたスイッチとを有し、該アンプの電源端子と該スイッチの電源端子とが、直流的に結合されていることを特徴とするスイッチ付アンプ。

【請求項2】 前記アンプの電源端子と前記スイッチの電源端子とが、整合回路を介して直流的に結合されている請求項1に記載のスイッチ付きアンプ。

【請求項3】 前記整合回路は、前記アンプの電源端子と前記スイッチの電源端子との間に設けられたインダクタと、該アンプの電源端子とグラウンドとの間に設けられたキャパシタと、該スイッチの電源端子とグラウンドとの間に設けられたキャパシタと、を有する請求項2に記載のスイッチ付きアンプ。

【請求項4】 前記スイッチは、送信側スルースイッチおよび受信側スルースイッチを有する請求項3に記載のスイッチ付きアンプ。

【請求項5】 前記スイッチは、送信側シャントスイッチおよび受信側シャントスイッチをさらに有する請求項4に記載のスイッチ付きアンプ。

【請求項6】 前記送信側スルースイッチ、前記受信側スルースイッチ、前記送信側シャントスイッチおよび前記受信側シャントスイッチは、シングルゲート電界効果トランジスタである請求項5に記載のスイッチ付きアンプ。

【請求項7】 前記送信側スルースイッチ、前記受信側スルースイッチ、前記送信側シャントスイッチおよび前記受信側シャントスイッチは、デュアルゲート電界効果トランジスタもしくはシングルゲート電界効果トランジスタである請求項5に記載のスイッチ付きアンプ。

【請求項8】 前記送信側スルースイッチおよび前記受信側スルースイッチは、PINダイオードである請求項4に記載のスイッチ付きアンプ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、無線機器に用いられるスイッチ付きパワーアンプに関し、特に単一電源動作が可能なスイッチ付きアンプに関する。

【0002】

【従来の技術】近年、携帯無線機器のさらなる小型化・低価格化を実現するため、セットに使用されるデバイスの見直しが図られている。中でもデバイスの単一電源動作は、有効なアプローチの一手法として現在様々な研究がなされている。ここで「単一電源動作」とは、グラウンドに対して例えば正電圧（+3.0Vなど）だけを供給することによって動作させることをいう。したがって

グラウンドに対して、正電圧および負電圧を用いる動作は、単一電源動作とはよばない。

【0003】通常、携帯無線機器のセットに使用されているデバイスのうち、パワーアンプおよびアンテナスイッチ等にはデプレッション型のGaAs電界効果トランジスタ（GaAs MESFET）が用いられているため、正の電源電圧以外に負のゲートバイアス電圧が必要である。単一電源動作パワーアンプならびに単一電源動作スイッチは、負のゲートバイアス電圧を必要とせず、正の電圧のみで動作させることができる。その結果、従来は必要であった負電圧発生回路が不要となり、セットの小型化・低価格化が実現できる。

【0004】図6は、一般的な携帯無線機器の高周波部のブロック図である。図6において、100はアンテナスイッチ、101、102および103はそれぞれアンテナスイッチ100のアンテナ端子、送信端子および受信端子である。また、204は送信信号入力端子、206はパワーアンプ、210はアンテナ、211はローノイズアンプ、212は受信信号出力端子である。1つのアンテナを送受信で共用する携帯無線機器においては、送信時・受信時の信号経路を切り替えるアンテナスイッチが必須である。このアンテナスイッチには低損失・低消費電力といった特性が要求されるためGaAs MESFETを用いた1入力2出力スイッチ（1極2投スイッチ、Single Pole Double Throw Switchともいう、以下「SPDTスイッチ」と呼ぶ）が多用されている。

【0005】以下、単一電源動作ではないSPDTスイッチの回路動作を説明した後、これを用いて単一電源動作SPDTスイッチを構成する手法について述べる。

【0006】図7は、GaAs MESFETを用いた従来技術による単一電源動作ではないSPDTスイッチの回路図である。図7において、101はアンテナ端子、102は送信端子、103は受信端子、104はグラウンド（GND）端子、105および106は制御端子、121はアンテナ端子101と送信端子102との間をオン・オフする送信側スルーFET、122は送信端子102とGND端子104との間をオン・オフする送信側シャントFET、123はアンテナ端子101と受信端子103との間をオン・オフする受信側スルーFET、124は受信端子103とGND端子104との間をオン・オフする受信側シャントFET、111はFET121とFET123との接続端子、112はFET121とFET122との接続端子、113はFET123とFET124との接続端子、114はFET122とFET124との接続端子、131～134はFETのゲートバイアス抵抗、141～143は直流カットキャパシタである。また、接続端子111～114の直流電位をそれぞれV111～V114、制御端子105および106に印加する直流電圧をそれぞれV105およびV106とする。ゲートバイアス抵抗131～134は数kΩの抵抗であり、FET121～124のゲートへのリーク電流を阻止する目的で配置されている。直流カットキャパシタ141～143はアンテナ端子101、送信端子102および受信端子103と、各FETとを直流的に分離

するための100pF程度のキャパシタである。

【0007】今、V111～V114の電位について考える。V114はGNDに接続されているので0Vである。各FETのゲートリーク電流はほぼ零であり、直流カットキャパシタ141～143により直流電流の流れる経路は断ち切られているため、接続端子111～114の閉回路内に直流電流は流れない。従って、V111＝V112＝V113＝V114＝0Vであり、FET121～FET124のソースの直流電位はすべて0Vである。

【0008】SPDTスイッチのオン・オフは、各FETのゲートへの印加電圧を変化させることにより行なう。図8は、単体のFETの端子間の電圧および電流記号を示す図である。FETのしきい値を $V_{th}$ とし、ドレイン・ソース間およびゲート・ソース間の電圧をそれぞれ $V_{ds}$ および $V_{gs}$ とする。通常、SPDTスイッチにはデプレッション型FETと呼ばれる $V_{th}$ が負であるようなFETが用いられる。図9は、デプレッション型FETの $V_{gs}$ － $I_{ds}$ 特性を示す図である。このFETをオンまたはオフさせるためには、 $V_{gs}=0V$ または $V_{gs}=V_{gg}$  ( $V_{gg}$ は負の値)の電圧をゲートに印加すればよく、 $V_{gg} \geq 2 \times V_{th}$ とするのが一般的である。図10は、 $V_{gs}=0V$ および $V_{gs}=V_{gg}$ の場合の $V_{ds}$ － $I_{ds}$ 特性を示す図である。図11は、 $V_{gs}=0V$ の場合のFETの等価回路である。 $V_{gs}=0V$ の場合、FETは数 $\Omega$ の抵抗と等価であり、オン状態のスイッチとして表現できる。図12は、 $V_{gs}=V_{gg}$ の場合のFETの等価回路である。 $V_{gs}=V_{gg}$ の場合、FETは数M $\Omega$ の抵抗と等価であり、オフ状態のスイッチとして表現できる。

【0009】これらを用いて図7に示すSPDTスイッチの動作を考える。まず、送信時について考える。図13の(a)および(b)は、それぞれ、制御端子にV105＝0VおよびV106＝ $V_{gg}$ を印加したときの図7の等価回路、およびさらにその回路を簡略化した等価回路である。図13の(a)に示すように、送信側スルーFET121および受信側シャントFET124がオン状態、受信側スルーFET123および送信側シャントFET122がオフ状態となるため、結局、図13の(b)に示すように、アンテナ端子101と送信端子102とが接続される。

【0010】次に、受信時について考える。図14の(a)および(b)は、それぞれ、制御端子にV105＝ $V_{gg}$ およびV106＝0Vを印加したときの図7の等価回路、およびさらにその回路を簡略化した等価回路である。図14の(a)に示すように、送信側スルーFET121および受信側シャントFET124がオフ状態、受信側スルーFET123および送信側シャントFET122がオン状態となるため、結局、図14(b)に示すように、アンテナ端子101と受信端子103とが接続される。ここで送信側シャントFET122および受信側シャントFET124は、それぞれオフ側の端子をGNDに接続してアイソレーションを向上させる役割を果たしている。

【0011】次に、このSPDTスイッチを用いて単一電源動作SPDTスイッチを構成する手法について考える。図1

5は、従来の技術による単一電源動作SPDTスイッチの回路図である。図7の回路においては、GND端子104は、直接、GNDに接続されていた。図15の回路においては、GND端子104は、直流カットキャパシタ144を介してGNDに接続されている。また電源バイアス回路であるチョークインダクタ151を介して接続端子111に正の電源電圧を印加することにより単一電源動作を実現することができる。図15において、107は電源端子、144は直流カットキャパシタ、151はチョークインダクタであり、その他の構成要素は図7に示すSPDTスイッチと同様である。電圧V107は、電源端子107に印加される電圧を表す。チョークインダクタ151は、使用周波数に対してほぼオープンとなるようなインピーダンスをもつインダクタであり、接続端子111に電源電圧V107を供給する。直流カットキャパシタ144は、100pF程度のキャパシタであり、GND端子104とGNDとを直流的に分離する目的で配置されている。

【0012】図15においては、GND端子104もGNDから直流的に分離されているため、V111＝V112＝V113＝V114＝V107となる。ここで、V107に $|V_{gg}|$  (正の値)を印加することにより、図15のすべてのFETのソース電位は $|V_{gg}|$  (正の値)に設定されて、単一電源動作が実現できる。つまり、図7に示すSPDTスイッチがV105およびV106として、それぞれ0Vまたは－3Vの負電圧を必要とするようなスイッチである場合、図15に示す回路構成によってV107＝3Vとすれば、V105およびV106として、3Vまたは0Vが供給されるSPDTスイッチが実現できるわけである。つまり、正の電源だけを供給をすればよく、負の電源を設ける必要はない。

【0013】

【発明が解決しようとする課題】上述のように単一電源動作を実現するためにはGND端子104をGNDから直流的に分離する直流カットキャパシタ144と電源バイアス回路であるチョークインダクタ151が必要となる。これは、とりわけパワーアンプやSPDTスイッチを一体化したICを設計する際、チップ面積を増大させる原因となり、これによりコストの上昇をきたす。

【0014】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、より少ない点数の部品を用いた単一電源動作が可能なスイッチ付きアンプを提供することにある。

【0015】

【課題を解決するための手段】本発明によるスイッチ付きアンプは、アンプと、一端が該アンプの電源端子に接続され他端が電源に接続されたチョークインダクタと、電源端子が該チョークインダクタの該一端に接続されたスイッチとを有し、該アンプの電源端子と該スイッチの電源端子とが、直流的に結合されていることを特徴としており、そのことにより上記目的が達成される。

【0016】ある実施形態では、前記アンプの電源端子

と前記スイッチの電源端子とが、整合回路を介して直流的に結合されている。

【0017】ある実施形態では、前記整合回路は、前記アンプの電源端子と前記スイッチの電源端子との間に設けられたインダクタと、該アンプの電源端子とグラウンドとの間に設けられたキャパシタと、該スイッチの電源端子とグラウンドとの間に設けられたキャパシタとを有する。

【0018】ある実施形態では、前記スイッチは、送信側スルースイッチおよび受信側スルースイッチを有する。

【0019】ある実施形態では、前記スイッチは、送信側シャントスイッチおよび受信側シャントスイッチをさらに有する。

【0020】ある実施形態では、前記送信側スルースイッチ、前記受信側スルースイッチ、前記送信側シャントスイッチおよび前記受信側シャントスイッチは、シングルゲート電界効果トランジスタである。

【0021】ある実施形態では、前記送信側スルースイッチ、前記受信側スルースイッチ、前記送信側シャントスイッチおよび前記受信側シャントスイッチは、デュアルゲート電界効果トランジスタもしくはシングルゲート電界効果トランジスタである。

【0022】ある実施形態では、前記送信側スルースイッチおよび前記受信側スルースイッチは、PINダイオードである。

【0023】

【発明の実施の形態】以下、図面を参照して、本発明の実施形態を説明する。同じ参照符号を付された構成要素は、互いに対応している。

【0024】本明細書において、「スイッチ付きアンプ」とは、高周波電力を増幅するパワーアンプと、送受信の状態に応じてこのパワーアンプとアンテナとの接続関係を変えるアンテナスイッチとを含む。また本明細書においては簡単のため、アンテナスイッチを単に「スイッチ」と、パワーアンプを単に「アンプ」とよぶこともある。

【0025】まず本発明によるスイッチ付きアンプの実施形態を説明する前に、本実施形態で用いられるパワーアンプの回路を説明する。図16は、本発明のスイッチ付きアンプのうちパワーアンプ部分の回路図である。本実施形態においては、簡単のため、1段電界効果トランジスタ(FET)構成のパワーアンプとしたが、これには限られない。例えば、複数段を有するパワーアンプであってもよく、増幅素子としてFET以外の素子を用いてもよい。

【0026】301はFET、302および350はそれぞれ入力整合回路および出力整合回路、304はチョークインダクタ、305はゲートバイアス抵抗、310は入力端子、311は出力端子、312は電源端子、313はゲートバイアス端子で

ある。また、電源端子312に印加する電圧をV312、ゲートバイアス端子313に印加する電圧をV313とする。入力整合回路302および出力整合回路350は、それぞれ入力端子310および出力端子311に所定のインピーダンスが接続されたときに、所望の特性が実現されるように設計されている。チョークインダクタ304は、使用周波数に対してほぼオープンとなるようなインピーダンスをもつ。FET301は、チョークインダクタ304を介して電源電圧V312を供給される。ゲートバイアス抵抗305は、FET301からゲートバイアス端子313へのリーク電流を低減させる目的で配置されている。

【0027】なお、受信時、すなわち図6のアンテナ端子101と受信端子103とが接続される場合には、パワーアンプの出力がLNAに漏洩しないようにするためパワーアンプをオフとするのが一般的である。FET301が $V_{th} \geq 0V$ であるようなFET、つまりエンハンス型FETであればゲートバイアス端子の電圧V313=0VとすることによりFET301に流れる電流をカットオフすることが実現できる。

【0028】図17は、図16の回路でFET301としてデプレッションFETを用いた回路図である。FETが $V_{th} \leq 0V$ であるようなFET、つまりデプレッション型FETであれば、ゲートバイアス電圧V313=0VとしてもFET301に電流が流れるため、パワーアンプがオフとならない。この場合には、パワーアンプを図17に示すような回路構成にすれば、スイッチ306によってFET301に流れるドレイン電流を遮断することができる。すなわち図17において、スイッチ306は、送信時に閉じ(オン)、受信時に開く(オフ)するように動作する。

【0029】図18は、図16の回路でFET301としてデプレッションFETを用いた他の例を示す回路図である。図18の回路においては、スイッチ306の挿入される位置が図17の場合と異なっているが、図17と同様の動作により、受信時にFET301のドレイン電流を遮断することができる。

【0030】(第1の実施形態)図1は、本発明によるスイッチ付きアンプの第1の実施形態の回路図である。図19は、従来技術によるスイッチ付きアンプの回路図である。図19の従来技術によるスイッチ付きアンプにおいては、図16のパワーアンプの出力端子311と、図15の単一電源動作SPDTスイッチの送信端子102とが接続されている。したがって従来技術によるスイッチ付きアンプにおいては、電源端子312から端子112へのパスは、キャパシタ142を含む。

【0031】いっぽう図1の本発明によるスイッチ付きアンプは、直流成分を通過させる出力整合回路350を備えている。この出力整合回路350は、アンプ部30の電源端子312において供給される電源電圧V312をチョークインダクタ304を介して受け取り、スイッチ部10の端子112へと送るはたらきをする。出力整合回路350は、例えば、インダクタ352、キャパシタ354および356を有す

る $\pi$ 型整合回路によって実現できる。出力整合回路350は、チョークインダクタ304と端子112との間にキャパシタ成分をもたず、インダクタ成分をもつ。これにより、直流電圧は、電源端子312から、チョークインダクタ304、インダクタ352および端子112を通して、スイッチ部10をバイアスすることができる。言い換えれば、電源端子312-チョークインダクタ304-出力整合回路350-端子112というパスは、直流電圧を通すことができる。ここで「直流」電圧とは、スイッチ部10およびアンプ部30の電源として用いることができる程度に十分、低い周波数をもつ電圧であって、周波数がゼロの電圧（いわゆる完全な直流）をも含む。

【0032】出力整合回路350のインダクタ352は、このバイアス用の直流電圧が通るパスに対して直列に設けられている。したがってインダクタ352に含まれる抵抗分は、小さいことが好ましい。これは、インダクタ352の抵抗分による電圧降下は、スイッチ部10へのバイアス供給の効率と、アンプ部30の出力の効率とを低くするからである。出力整合回路350は、アンプ部30とスイッチ部10との間で直流成分を通す回路であれば、上述の1段の $\pi$ 型整合回路には限られず、多段の整合回路であってもよく、また他のタイプの整合回路であってもよい。出力整合回路350は、アンプ部30の出力インピーダンスと、アンテナ端子101に接続されるインピーダンスとを整合させることによって、アンテナから放射される電力を増すはたらきもする。

【0033】図1においては、スイッチ部10およびアンプ部30に共用の電源端子312は、出力整合回路350に対して、FET301側に設けられているが、これには限られない。例えば端子112に電源端子を設けることによっ

て、上述の説明とは、逆方向に、つまりスイッチ部10から出力整合回路350を介してアンプ部30に向かう方向に、直流電圧を供給してもよい。この構成によれば、チョークインダクタ304をインダクタ352によって代用することができさらに部品点数を削減することができる。またこの場合、他の端子、例えば端子111および113などに電源端子を設けてもよい。

【0034】パワーアンプ30の電源バイアス回路と、SPDTスイッチ10の電源バイアス回路とを共用するために、パワーアンプ30の最終段の出力整合回路350は、直流電流の流れる回路である。またパワーアンプ30の電源電圧と、単一電源動作SPDTスイッチ10の電源電圧とは、ほぼ等しく設定されている。

【0035】以下の実施形態においては、上述の条件を満足するように、SPDTスイッチのFETには $V_{th} = -1.5V$ のデプレッション型FETを用い、制御端子105・106に印加する電圧は0Vまたは3Vとし、単一電源動作SPDTスイッチおよびパワーアンプの電源電圧は3Vとした。FET301にはエンハンス型FETを用い、受信時には $V_{313} = 0V$ としてパワーアンプをオフとするものとし、周波数は1.9GHzとしてシミュレーションをおこなった。

【0036】表1に本発明のスイッチ付きアンプ、および従来技術によるスイッチ付きアンプの高周波特性のシミュレーション結果を示す。アンテナ端子101におけるパワーアンプの出力、アンテナ端子101から受信端子103への挿入損失、送信時の送信端子102から受信端子103へのアイソレーションを表に示した。

【0037】

【表1】

	アンテナ端子での パワーアンプ出力(dBm)	アンテナ端子→受信端子 挿入損失 (dB)	送信端子→受信端子 アイソレーション (dB)
従来	8.51	0.99	25.1
本発明	8.54	0.98	25.0

【0038】本発明の高周波特性は、いずれの特性においても従来と同等の結果が得られており、本発明の単一電源動作SPDTスイッチおよびパワーアンプが正常に動作していることがわかる。なお、FET301にデプレッション型FETを用いた場合、パワーアンプを図17もしくは図18の構成とすれば問題ないことは既に述べた。

【0039】本発明は、従来と比較してチョークインダクタ151と直流カットキャパシタ142がないため、部品点数が削減できるわけであるが、これは単一電源動作SPDTスイッチとパワーアンプを一体化したICを設計する際にチップ面積削減においてとりわけ効果がある。周波数2GHz程度の場合、チョークインダクタ151として最低約20nH、キャパシタ142として最低約30pF程度の値が必要である。IC上にこれら素子を集積した場合、各素子の面積は

SPDTスイッチに用いるFET1個とほぼ同一の面積が必要である。つまり、本発明は高周波特性を劣化させることなく、チップ面積を削減することができる。

【0040】（第2の実施形態）図2は、本発明によるスイッチ付きアンプの第2の実施形態の回路図である。本実施形態においては、送信端子側の1dB利得圧縮点(P1dB)を向上させるために、受信側スルーFETおよび送信側シャントFETとしてデュアルゲートFETが用いられている。図2において、122<sub>0</sub>は送信側デュアルゲートシャントFETであり、123<sub>0</sub>は受信側デュアルゲートスルーFETであり、132<sub>1</sub>および132<sub>2</sub>は送信側デュアルゲートシャントFETに接続されるゲートバイアス抵抗であり、133<sub>1</sub>および133<sub>2</sub>は受信側デュアルゲートスルーFETに接続されるゲートバイアス抵抗であり、それ以外の構成要素は図1

と同様である。

【0041】表2に本発明のスイッチ付きアンプ、および従来技術によるスイッチ付きアンプの高周波特性のシミュレーション結果を示す。ここで従来技術によるスイッチ付きアンプの回路は、図2に示す回路のうち、出力整合回路350に直列に接続されたキャパシタを有する点と、電源がアンプ部とスイッチ部とに別々の端子から供給される点とが異なる。アンテナ端子101におけるパワーアンプの出力、アンテナ端子101から受信端子103への挿入損失、送信時の送信端子102から受信端子103へのアイソレーションを表に示した。

【0042】

【表2】

	アンテナ端子での パワーアンプ出力(dBm)	アンテナ端子→受信端子 挿入損失 (dB)	送信端子→受信端子 アイソレーション (dB)
従来	8.94	1.34	30.6
本発明	8.97	1.36	30.6

【0043】本発明の高周波特性は、いずれの特性においても従来と同等の結果が得られており、本発明の単一電源動作 SPDT スイッチおよびパワーアンプが正常に動作していることがわかる。また、単一電源動作 SPDT スイッチとパワーアンプを一体化したICにおけるチップ面積の削減効果は第1実施形態で述べたとおりである。

【0044】(第3の実施形態)図3は、本発明によるスイッチ付きアンプの第3の実施形態の回路図である。本実施形態は、送信端子102から受信端子103へのアイソレーションが低くてもかまわない場合に用いられる。本実施形態は、第1の実施形態の送信側シャントFET122および受信側シャントFET124を用いない。

【0045】表3に本発明のスイッチ付きアンプ、および従来技術によるスイッチ付きアンプの高周波特性のシミュレーション結果を示す。ここで従来技術によるスイッチ付きアンプの回路は、図3に示す回路のうち、出力整合回路350に直列に接続されたキャパシタを有する点と、電源がアンプ部とスイッチ部とに別々の端子から供給される点とが異なる。アンテナ端子101におけるパワーアンプの出力、アンテナ端子101から受信端子103への挿入損失、送信時の送信端子102から受信端子103へのアイソレーションを示した。

【0046】

【表3】

	アンテナ端子での パワーアンプ出力(dBm)	アンテナ端子→受信端子 挿入損失 (dB)	送信端子→受信端子 アイソレーション (dB)
従来	8.56	1.09	0.95
本発明	8.58	1.07	0.90

【0047】本発明の高周波特性は、いずれの特性においても従来と同等の結果が得られており、本発明の単一電源動作 SPDT スイッチおよびパワーアンプが正常に動作していることがわかる。ただし、第1実施形態と比較して、送信端子102から受信端子103へのアイソレーションが本発明および従来例ともに約25dB低下している。また、単一電源動作 SPDT スイッチとパワーアンプを一体化したICにおけるチップ面積の削減効果は第1実施形態で述べたとおりである。

【0048】(第4の実施形態)図4は、本発明によるスイッチ付きアンプの第4の実施形態の回路図である。本実施形態は、送信端子側のP1dBを向上させ、なおかつ送信端子102から受信端子103へのアイソレーションが低くてもかまわない場合に用いられる。本実施形態は、図

2の送信側シャントFET122<sub>0</sub>および受信側シャントFET124を用いない。

【0049】表4に本発明のスイッチ付きアンプ、および従来技術によるスイッチ付きアンプの高周波特性のシミュレーション結果を示す。ここで従来技術によるスイッチ付きアンプの回路は、図4に示す回路のうち、出力整合回路350に直列に接続されたキャパシタを有する点と、電源がアンプ部とスイッチ部とに別々の端子から供給される点とが異なる。アンテナ端子101におけるパワーアンプの出力、アンテナ端子101から受信端子103への挿入損失、送信時の送信端子102から受信端子103へのアイソレーションを表に示した。

【0050】

【表4】

	アンテナ端子での パワーアンプ出力(dBm)	アンテナ端子→受信端子 挿入損失 (dB)	送信端子→受信端子 アイソレーション (dB)
従来	8.19	1.42	3.82
本発明	8.51	1.42	6.08

【0051】本発明の高周波特性は、いずれの特性においても従来と同等の結果が得られており、本発明の単一電源動作 SPDT スイッチおよびパワーアンプが正常に動作していることがわかる。ただし、第2の実施形態と比較して、送信端子102から受信端子103へのアイソレーションが本発明・従来例ともに約25dB低下している。また、単一電源動作 SPDT スイッチとパワーアンプを一体化したICにおけるチップ面積の削減効果は第1実施形態で述べたとおりである。

【0052】(第5の実施形態)図5は、本発明によるスイッチ付きアンプの第5の実施形態の回路図である。本実施形態は、送信側スルースイッチおよび受信側スルースイッチとして、FETの代わりにPINダイオードを用いる。図5において、161および162はPINダイオード、145および146は直流カットキャパシタ、135および136はバイアス抵抗、152はチョークインダクタである。図5において145および146は100pF程度のキャパシタ、135および136は1kΩ程度の抵抗である。この場合のスイッチの切り替えは、制御端子105および106の電圧V105およびV106を3Vまたは2Vとすることにより行なう。V105=2VおよびV106=3Vの場合、送信側がオン状態となり、V105=3VおよびV106=2Vの場合、受信側がオン状態となる。

【0053】PINダイオードを使用した場合、単一電源動作 SPDT スイッチのチョークインダクタ152は必要であるが、他の実施形態と同様に直流カットキャパシタ142およびチョークインダクタ151を用いる必要はない。したがって単一電源動作 SPDT スイッチとパワーアンプを一体化したICを設計する際のチップ面積の削減効果は第1の実施形態とほぼ同じである。

【0054】上述の第1～第5の実施形態においては、便宜上、出力整合回路350がアンプ部30に含まれる回路図であったが、これには限られない。すなわち、出力整合回路350に相当する入力整合回路がスイッチ部10に含まれるように構成されたスイッチ付きアンプも本発明に含まれる。

【0055】

【発明の効果】本発明によるスイッチ付きアンプによれば、従来、必要であった直流カットキャパシタおよびチョークインダクタを削減することができ、より少ない部品点数で従来と同等の特性をもつ単一電源動作SPDTスイッチ付きパワーアンプを提供することができる。

【図面の簡単な説明】

【図1】本発明によるスイッチ付きアンプの第1の実施形態の回路図である。

【図2】本発明によるスイッチ付きアンプの第2の実施形態の回路図である。

【図3】本発明によるスイッチ付きアンプの第3の実施形態の回路図である。

【図4】本発明によるスイッチ付きアンプの第4の実施形態の回路図である。

【図5】本発明によるスイッチ付きアンプの第5の実施形態の回路図である。

【図6】一般的な携帯無線機器の高周波部のブロック図である。

【図7】GaAs MESFETを用いた従来技術による単一電源動作ではないSPDTスイッチの回路図である。

【図8】単体のFETの端子間の電圧および電流記号を示す図である。

【図9】デプレッション型FETのVgs-I<sub>ds</sub>特性を示す図である。

【図10】Vgs=0VおよびVgs=V<sub>gg</sub>の場合のVds-I<sub>ds</sub>特性を示す図である。

【図11】Vgs=0Vの場合のFETの等価回路である。

【図12】Vgs=V<sub>gg</sub>の場合のFETの等価回路である。

【図13】(a)および(b)は、それぞれ、制御端子にV105=0VおよびV106=V<sub>gg</sub>を印加したときの図7の等価回路、およびさらにその回路を簡略化した等価回路である。

【図14】(a)および(b)は、それぞれ、制御端子にV105=V<sub>gg</sub>およびV106=0Vを印加したときの図7の等価回路、およびさらにその回路を簡略化した等価回路である。

【図15】従来の技術による単一電源動作SPDTスイッチの回路図である。

【図16】本発明のスイッチ付きアンプのうちパワーアンプ部分の回路図である。

【図17】図16の回路でFET301としてデプレッションFETを用いた回路図である。

【図18】図16の回路でFET301としてデプレッションFETを用いた他の例を示す回路図である。

【図19】従来技術によるスイッチ付きアンプの回路図である。

【符号の説明】

101 アンテナ端子

103 受信端子

104 GND端子

105、106 制御端子

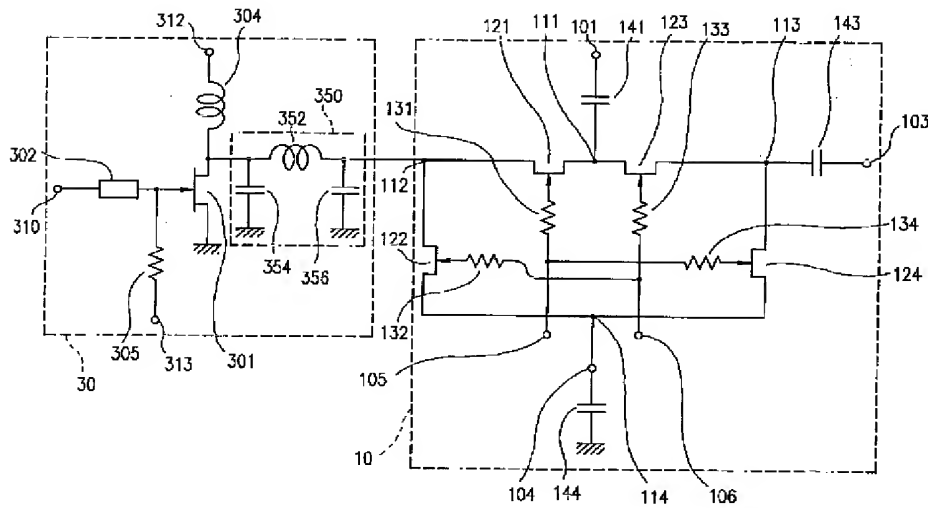
121 送信側スルーFET



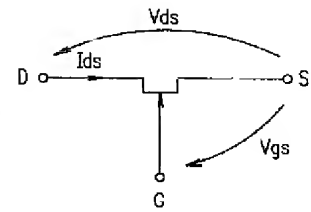
122 送信側シャントFET  
123 受信側スルーFET  
124 受信側シャントFET  
111 FET121とFET123との接続端子  
112 FET121とFET122との接続端子  
113 FET123とFET124との接続端子  
114 FET122とFET124との接続端子  
131~134 FETのゲートバイアス抵抗

141、143 直流カットキャパシタ  
301 FET  
302 入力整合回路  
304 チョークインダクタ  
305 ゲートバイアス抵抗  
310 入力端子  
312 電源端子  
350 出力整合回路

【図1】

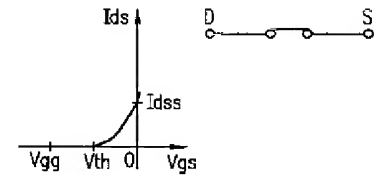


【図8】

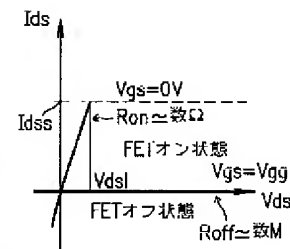


【図9】

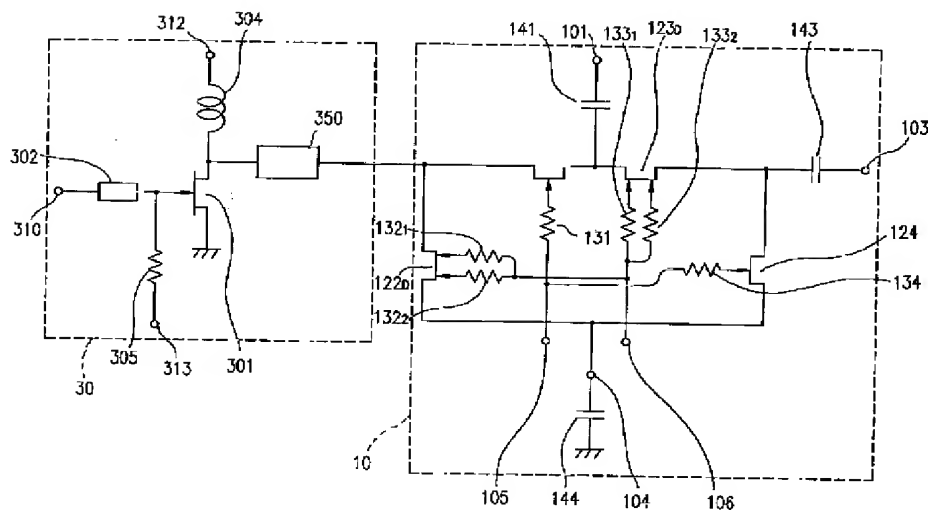
【図11】



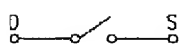
【図10】



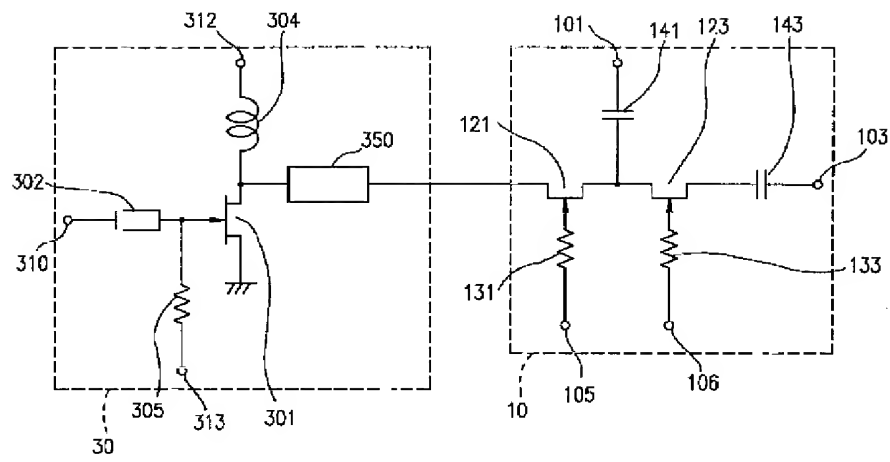
【図2】



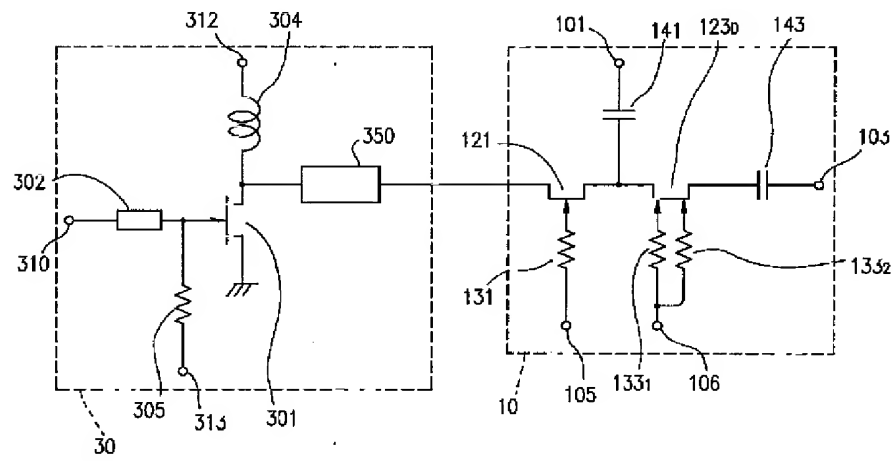
【図12】



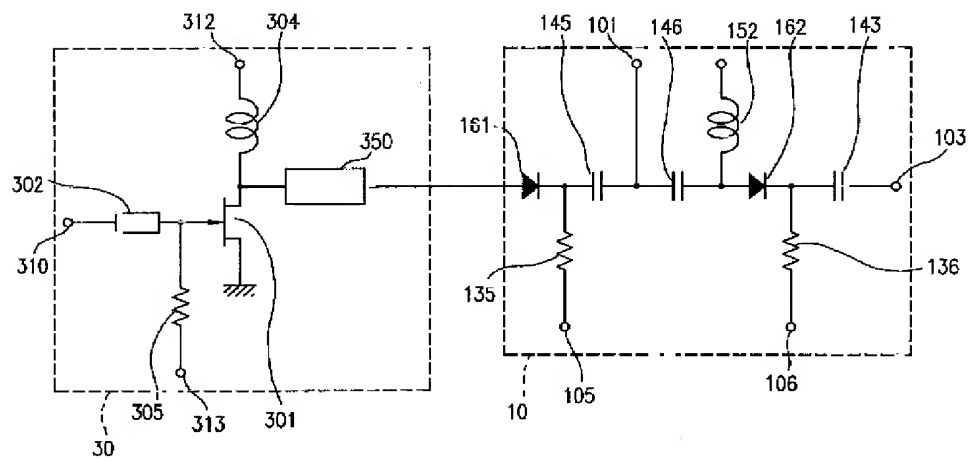
【図3】



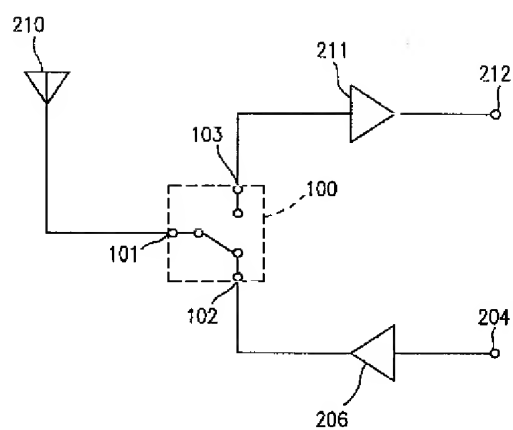
【図4】



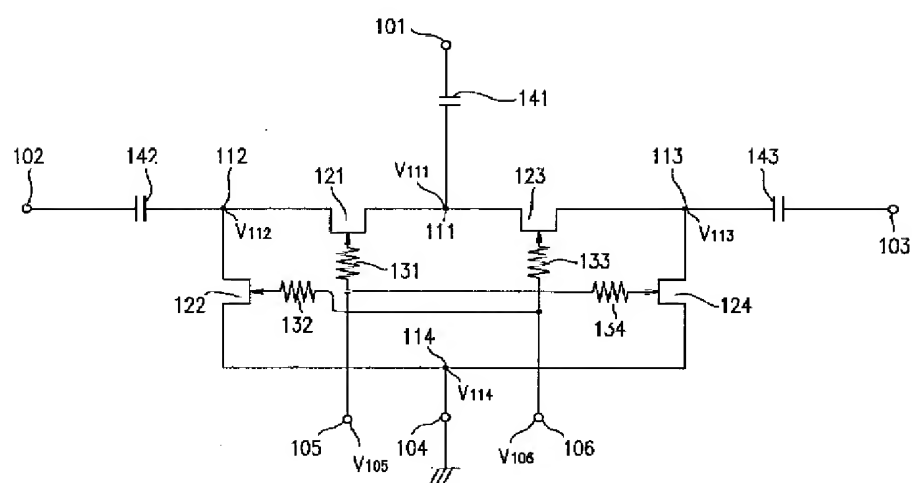
【図5】



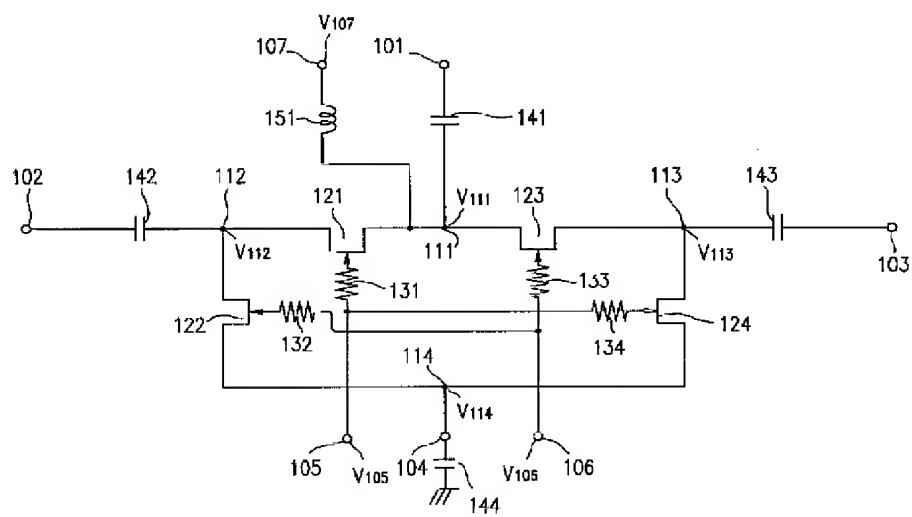
【図 6】



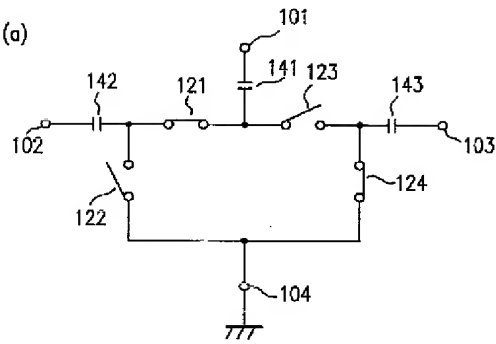
【図 7】



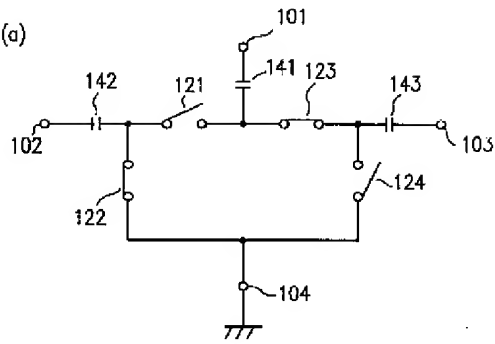
【図 15】



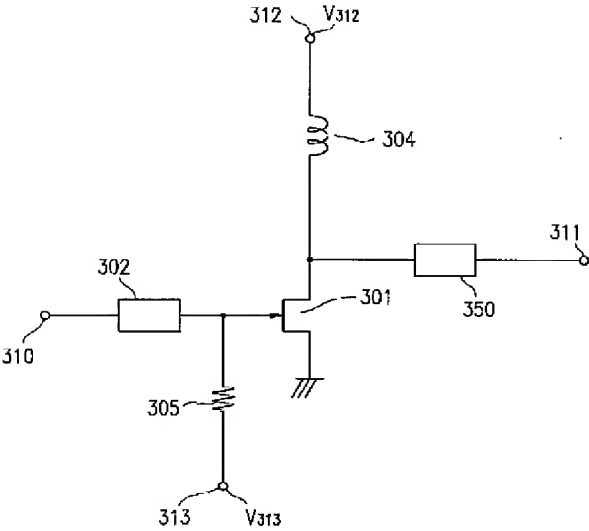
【図 13】



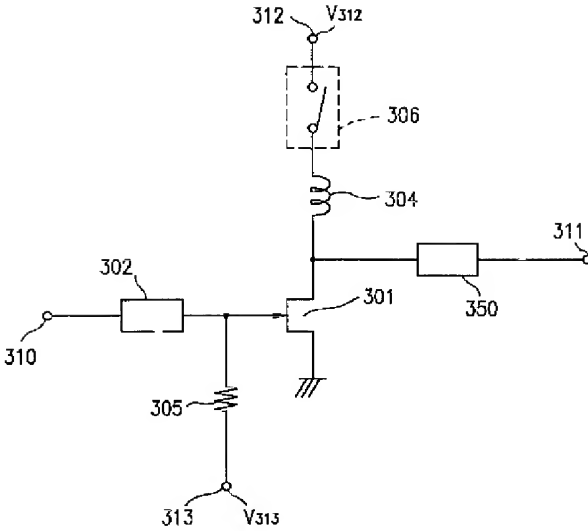
【図 14】



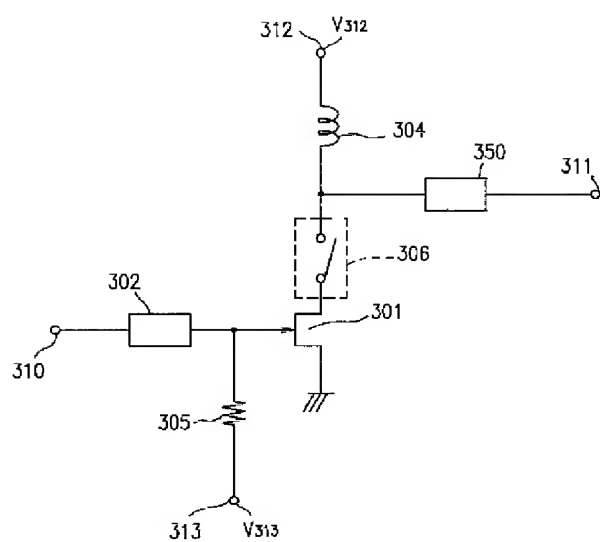
【図 16】



【図 17】



【図18】



【図19】

